

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-79663

(43) 公開日 平成8年(1996)3月22日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 4 N 5/66	1 0 2 B			
G 0 2 F 1/133	5 5 0			
G 0 9 G 3/20		R 4237-5H		
3/36				

審査請求 未請求 請求項の数14 O L (全 14 頁)

(21) 出願番号 特願平6-213962

(22) 出願日 平成6年(1994)9月7日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 島田 尚幸

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 明比 康直

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72) 発明者 ▲高▼藤 裕

大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

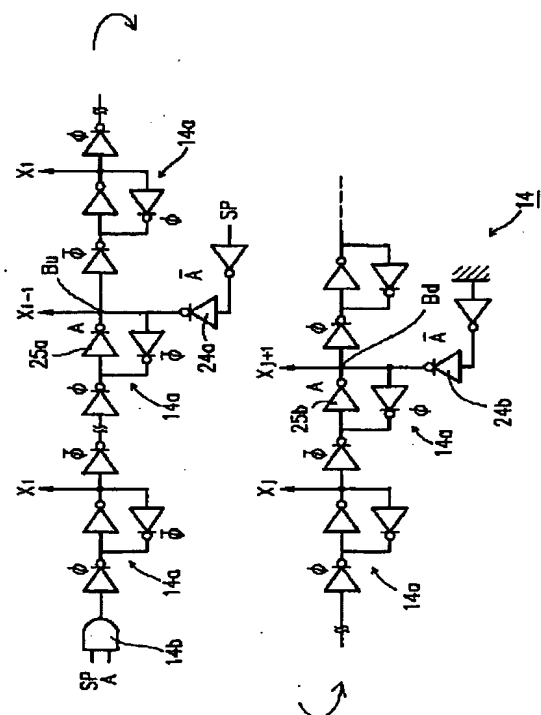
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 駆動回路及び表示装置

(57) 【要約】

【目的】 映像信号の時間軸を変調しなくても表示部の上、下端部及び左、右側部にしかるべき大きさの余白部を形成することができ所定のアスペクト比、表示容量を持つ複数の表示方式の切り替えが可能となる。

【構成】 走査信号駆動回路あるいはデータ駆動回路を構成するシフトレジスタ14を、スタート信号SPが入力されるノードBuが、制御信号Aにより設定され、該設定されたノードの直前の単位レジスタ14aが、該制御信号Aにより非動作状態となるようにし、シフト動作のスタート位置及び終了位置を制御信号Aによって切替え可能な構成とした。



(2)

1

【特許請求の範囲】

【請求項1】 複数の走査信号線を順次駆動する駆動回路であって、

単位レジスタを該各走査信号線に対応させてシリアルに複数接続してなり、所定のノードに入力されたスタート信号を、基準信号に基づいて次々に隣の単位レジスタにシフトして一端側に送るシフトレジスタを備え、

該シフトレジスタは、該スタート信号が入力されるノードが、制御信号により設定され、該設定されたノードの直前の単位レジスタが、該制御信号により非動作状態となるよう構成されており、

該シフトレジスタは、シフト動作のスタート位置及び終了位置の一方またはその両者を該制御信号によって切替え可能な構成となっている駆動回路。

【請求項2】 表示装置における複数の走査信号線、あるいは表示装置におけるデータ信号をサンプリングする複数のサンプリングゲートを駆動制御する駆動回路であって、

単位レジスタを該各走査信号線あるいは該各サンプリングゲートに対応させてシリアルに複数接続してなり、所定のノードに入力された信号を、基準信号に基づいて次々に隣の単位レジスタにシフトして一端側に送るシフトレジスタと、

該シフトレジスタの各単位レジスタの保持信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群とを備え、

該論理ゲート群は、該シフトレジスタの、一部を走査する時にシフト動作が行われる領域ではその出力をそのまま該バッファへ出力し、該シフトレジスタの、一部を走査する時にシフト動作が行われない領域では、単位レジスタの出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファへ出力するよう構成されている駆動回路。

【請求項3】 複数の走査信号線、及びこれに交差するよう配設された複数のデータ信号線を有し、該走査信号線とデータ信号線との交差部への電圧印加により表示が行われる表示部と、

複数の走査信号線を順次駆動する走査信号駆動回路と、複数のデータ信号線を順次駆動するデータ駆動回路とを備え、

該走査信号駆動回路及びデータ駆動回路の少なくとも一方が、表示切り替え信号によって制御され、この表示切り替えによって表示部では、表示画面の周辺部が余白領域となるよう構成されている表示装置。

【請求項4】 前記走査信号駆動回路及びデータ駆動回路の少なくとも一方は、

単位レジスタを前記各走査信号線あるいは前記各データ信号線に対応させてシリアルに複数接続してなり、所定のノードに入力されたスタート信号を、基準信号に基づいて次々に隣の単位レジスタにシフトして一端側に送る

2

シフトレジスタを有し、

該シフトレジスタは、該スタート信号がその端部ノードと所定の中間ノードとの間で制御信号により切り換えられて入力されるよう構成されている請求項3に記載の表示装置。

【請求項5】 前記データ信号線の順次駆動は、データ信号をサンプリングする複数のサンプリングゲートを順次駆動制御して行われるものであり、

前記走査信号駆動回路及びデータ駆動回路の少なくとも一方は、

単位レジスタを前記各走査信号線あるいは前記各サンプリングゲートに対応させてシリアルに複数接続してなり、所定のノードに入力されたスタート信号を、基準信号に基づいて次々に隣の単位レジスタにシフトして一端側に送るシフトレジスタと、

該シフトレジスタの各単位レジスタの保持信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群とを備え、

該論理ゲート群は、該シフトレジスタの、一部を走査する時にシフト動作が行われる領域ではその出力をそのまま該バッファへ出力し、該シフトレジスタの、一部を走査する時にシフト動作が行われない領域では、単位レジスタの出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファへ出力するよう構成されている請求項3に記載の表示装置。

【請求項6】 前記シフトレジスタは、前記スタート信号がその端部ノードと所定の中間ノードとの間で制御信号により切り換えられて入力されるよう構成されている請求項5に記載の表示装置。

【請求項7】 前記シフトレジスタは、双方向のシフト動作が可能な双方向走査対応のものである請求項4ないし6のいずれかに記載の表示装置。

【請求項8】 該シフトレジスタの途中のノードにスタート信号を入力する論理ゲートと、

該シフトレジスタの、スタート信号の入力ノードとそれ以外のノードとで、該シフトレジスタの出力信号の遅延量が一定となるようにする第1の遅延時間調整手段とを備えた請求項4または6に記載の表示装置。

【請求項9】 該シフトレジスタの、一部を走査する時にシフト動作が行われる領域と、該シフトレジスタの、一部を走査する時にシフト動作が行われない領域との間で、出力信号の遅延量を一定とする第2の遅延時間調整手段を有する請求項5または6に記載の表示装置。

【請求項10】 表示装置における複数の走査信号線、あるいは表示装置における、データ信号をサンプリングする複数のサンプリングゲートを駆動制御する駆動回路であって、

複数の出力ノードを有し、複数の入力信号に基づいて所定の出力ノードに信号を出力するデコーダと、

該デコーダの各出力ノードからの信号を受け、これを走

(3)

3
 査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群とを備え、
 該論理ゲート群は、該デコーダの、各出力ノードへのデコード出力が順次切り替わる領域ではそのデコード出力をそのまま該バッファに出力し、該デコーダの、各出力ノードへのデコード出力が一定である領域では、そのデコード出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファに出力するよう構成されている駆動回路。

【請求項 11】 前記データ信号線の順次駆動は、データ信号をサンプリングする複数のゲートを順次駆動制御して行われるものであり、
 前記走査信号駆動回路及びデータ駆動回路の少なくとも一方は、
 複数の出力ノードを有し、複数の入力信号に基づいて所定の出力ノードに信号を出力するデコーダと、
 該デコーダの各出力ノードからの信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群とを備え、
 該論理ゲート群は、該デコーダの、各出力ノードへのデコード出力が順次切り替わる領域ではそのデコード出力をそのまま該バッファに出力し、該デコーダの、各出力ノードへのデコード出力が一定である領域では、そのデコード出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファに出力するよう構成されている請求項 3 に記載の表示装置。

【請求項 12】 該デコーダの、各出力ノードへのデコード出力が順次切り替わる領域と、該デコーダの、各出力ノードへのデコード出力が一定である領域との間で、デコード出力の遅延量を一定とする遅延時間調整手段を有する請求項 11 に記載の表示装置。

【請求項 13】 前記表示画面の周辺部に表示される余白領域に対応する映像信号は、水平ブランキング時間、又は垂直ブランキング時間にデータ駆動回路から各データ信号線に供給される請求項 3 ないし 9、11、12 のいずれかに記載の表示装置。

【請求項 14】 前記表示画面の周辺部に表示される余白領域に対応する映像信号の少なくとも一部は、映像信号をデータ駆動回路からデータ信号線に供給するアナログスイッチとは別のアナログスイッチを通じて水平ブランキング時間、又は垂直ブランキング時間に各データ信号線に供給される請求項 3 ないし 9、11、12、13 のいずれかに記載の表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、駆動回路及び表示装置に関し、特に縦、横の画素数の異なる複数の表示方式の映像信号を、駆動回路の動作を切り換えることにより 1 つの表示パネルに表示可能に構成したものに關する。

【0002】

4

【従来の技術】 図 6 は従来の液晶表示装置の構成の一例を示す。図において、100 は従来のアクティブマトリクス基板を用いた液晶表示装置で、該基板上に一体的に作り込まれた走査信号駆動回路 104 及びデータ駆動回路 105 を有している。このアクティブマトリクス基板には、マトリクス状に配列された画素 107 に対応して画素 TFT (薄膜トランジスタ) 103 が形成されている。またこの基板上には、上記画素 107 にデータ信号を供給するデータ信号線 (データバスライン) 102、及び上記画素 TFT 103 に制御信号を供給する走査信号線 101 が配設されている。上記各データバスライン 102 はそれぞれ容量 109 を介して接地レベルに接続されている。

【0003】 上記各画素 TFT 103 のソースは、対応するデータ信号線 102 に接続され、そのゲートは、対応する走査信号線 101 に接続されている。また該画素 TFT 103 のドレイン電極には、画素容量 106 が接続される。ここでは、上記画素 107 を構成する液晶は、該画素容量 106 と並列に接続された容量として機能する。各画素容量 106 の一方の端子は、画素容量共通配線 110 を通じて、対向基板上的対向電極と共に接地されている。

【0004】 上記走査信号駆動回路 104 は、各段の出力が各走査信号線に接続されたシフトレジスタを有し、画素 TFT 103 のオン、オフ制御信号を走査信号線 101 へ出力する。データ駆動回路 105 は、映像信号入力線 108 とデータ信号線 (データバスライン) 102 との間に接続されたアナログスイッチ 111 と、該アナログスイッチをオン、オフ駆動するシフトレジスタ 105a とを有し、データバスライン 102 に対してデータ信号を供給する。

【0005】 近年、従来のアスペクト比 4 : 3 のテレビジョンに加えて HDTV (高品位テレビ) に代表されるアスペクト比 16 : 9 のワイドテレビジョンが普及し始めている。それに対応して複数方式のテレビジョン表示が可能な表示装置の需要が高まっている。また、表示装置をコンピュータ等に接続し情報端末用として用いることも広く行われている。この場合にもコンピュータの使い方が多様化し、VGA (ビデオグラフィックアレ
 40 イ)、XGA (エクステンディッドビデオグラフィックアレ
 イ)、EWS (エンジニアリング用ワークステーション) 等に代表されるように種々の規格が混在するようになってきた。そのため情報端末用として用いる場合にも、それぞれの規格に対応させてその仕様を切り替えて表示できる表示装置の需要も高まっている。

【0006】 特にマトリクス型の表示パネルを用いて、複数方式の表示を行う表示装置としては、例えば特開平 3-131182 号公報に開示のものがある。この表示装置では、入力された映像信号の時間軸を変調して、映像信号 1 行分 (1 走査線分) の有効走査期間の前端部分

50

(4)

5

及び後端部分に、余白部に対応する所定レベルの信号期間を有する映像信号を形成することによって、表示画像の左右両側部を余白部とし、アスペクト比の異なる2種類の表示を行う方法を採用している。

【0007】

【発明が解決しようとする課題】ところが、特開平3-131182号公報に開示されている方法では、映像信号の時間軸を変調する必要があり、表示装置の外部駆動回路が複雑になるという欠点がある。

【0008】この発明は上記のような問題点を解決するためになされたもので、行方向、列方向の画素数が異なる複数の表示方式の画像を、データ信号に時間軸の変調処理を施すことなく、データ信号の表示方式に合わせて表示することができる駆動回路及び表示装置を得ることが本発明の目的である。

【0009】

【課題を解決するための手段】

(1) この発明に係る駆動回路は、複数の走査信号線を順次駆動する駆動回路であって、単位レジスタを該各走査信号線に対応させてシリアルに複数接続してなり、所定のノードに入力されたスタート信号を、基準信号に基づいて次々に隣の単位レジスタにシフトして一端側に送るシフトレジスタを備えている。該シフトレジスタは、該スタート信号が入力されるノードが、制御信号により設定され、該設定されたノードの直前の単位レジスタが、該制御信号により非動作状態となるよう構成され、シフト動作のスタート位置及び終了位置の一方またはその両者を制御信号によって切替え可能となっている。そのことにより上記目的が達成される。

【0010】(2) この発明に係る駆動回路は、表示装置における複数の走査信号線、あるいは表示装置におけるデータ信号をサンプリングする複数のサンプリングゲートを駆動制御する駆動回路であって、単位レジスタを該各走査信号線あるいは該各サンプリングゲートに対応させてシリアルに複数接続してなり、所定のノードに入力された信号を、基準信号に基づいて次々に隣の単位レジスタにシフトして一端側に送るシフトレジスタと、該シフトレジスタの各单位レジスタの保持信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群とを備えている。該論理ゲート群は、該シフトレジスタの、一部を走査する時にシフト動作が行われる領域ではその出力をそのまま該バッファへ出力し、該シフトレジスタの、一部を走査する時にシフト動作が行われない領域では、単位レジスタの出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファへ出力するよう構成されている。そのことにより上記目的が達成される。

【0011】(3) この発明に係る表示装置は、複数の走査信号線、及びこれに交差するよう配設された複数のデータ信号線を有し、該走査信号線とデータ信号線との

6

交差部への電圧印加により表示が行われる表示部と、複数の走査信号線を順次駆動する走査信号駆動回路と、複数のデータ信号線を順次駆動するデータ駆動回路とを備えている。該走査信号駆動回路及びデータ駆動回路の少なくとも一方は、表示切り替え信号によって制御され、この表示切り替えによって表示部では、表示画面の周辺部が余白領域となるよう構成されている。そのことにより上記目的が達成される。

【0012】(4) この発明の表示装置は以下の構成とすることが好ましい。上記走査信号駆動回路及びデータ駆動回路の少なくとも一方は、単位レジスタを前記各走査信号線あるいは前記各データ信号線に対応させてシリアルに複数接続してなり、所定のノードに入力された信号を、基準信号に基づいて次々に隣の単位レジスタにシフトして一端側に送るシフトレジスタを有している。該シフトレジスタは、該スタート信号がその端部ノードと所定の中間ノードとの間で制御信号により切り換えられて入力されるよう構成されている。

【0013】(5) この発明の表示装置は以下の構成とすることが好ましい。上記データ信号線の順次駆動を、データ信号をサンプリングする複数のサンプリングゲートを順次駆動制御して行われるものとし、前記走査信号駆動回路及びデータ駆動回路の少なくとも一方は、単位レジスタを前記各走査信号線あるいは前記各サンプリングゲートに対応させてシリアルに複数接続してなり、所定のノードに入力されたスタート信号を、基準信号に基づいて次々に隣の単位レジスタにシフトして一端側に送るシフトレジスタと、該シフトレジスタの各单位レジスタの保持信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群を備える。該論理ゲートは、該シフトレジスタの、一部を走査する時にシフト動作が行われる領域ではその出力をそのまま該バッファへ出力し、該シフトレジスタの、一部を走査する時にシフト動作が行われない領域では、単位レジスタの出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファへ出力するよう構成されている。

【0014】(6) 上記表示装置では、上記シフトレジスタは、前記スタート信号がその端部ノードと所定の中間ノードとの間で制御信号により切り換えられて入力されるよう構成されていることが好ましい。

【0015】(7) この発明の駆動回路あるいは表示装置では、上記シフトレジスタは、双方向のシフト動作が可能な双方向走査対応のものであることが好ましい。

【0016】(8) この発明の駆動回路あるいは表示装置では、上記シフトレジスタの途中のノードにスタート信号を入力する論理ゲートと、該シフトレジスタの、スタート信号の入力ノードとそれ以外のノードとで、該シフトレジスタの出力信号の遅延量が一定となるようにする第1の遅延時間調整手段とを備えていることが好まし

(5)

7

い。

【0017】(9) この発明の駆動回路あるいは表示装置では、該シフトレジスタの、一部を走査する時にシフト動作が行われる領域と、該シフトレジスタの、一部を走査する時にシフト動作が行われない領域との間で、出力信号の遅延量を一定とする第2の遅延時間調整手段を有することが好ましい。

【0018】(10) この発明に係る駆動回路は、表示装置における複数の走査信号線、あるいは表示装置における、データ信号をサンプリングする複数のサンプリングゲートを駆動制御する駆動回路であって、複数の出力ノードを有し、複数の入力信号に基づいて所定の出力ノードに信号を出力するデコーダと、該デコーダの各出力ノードからの信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群とを備えている。該論理ゲート群は、該デコーダの、各出力ノードへのデコード出力が順次切り替わる領域ではそのデコード出力をそのまま該バッファに出力し、該デコーダの、各出力ノードへのデコード出力が一定である領域では、そのデコード出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファに出力するよう構成されている。そのことにより上記目的が達成される。

【0019】(11) この発明の表示装置は以下の構成とすることが好ましい。上記データ信号線の順次駆動は、データ信号をサンプリングする複数のサンプリングゲートを順次駆動制御して行われるものであり、上記走査信号駆動回路及びデータ駆動回路の少なくとも一方は、複数の出力ノードを有し、複数の入力信号に基づいて所定の出力ノードに信号を出力するデコーダと、該デコーダの各出力ノードからの信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群とを備えている。該論理ゲート群は、該デコーダの、各出力ノードへのデコード出力が順次切り替わる領域ではそのデコード出力をそのまま該バッファに出力し、該デコーダの、各出力ノードへのデコード出力が一定である領域では、そのデコード出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファに出力するよう構成されている。

【0020】(12) この発明の表示装置では、該デコーダの、各出力ノードへのデコード出力が順次切り替わる領域と、該デコーダの、各出力ノードへのデコード出力が一定である領域との間で、デコード出力の遅延量を一定とする遅延時間調整手段を有していることが好ましい。

【0021】(13) この発明の駆動回路あるいは表示装置では、上記表示画面の周辺部に表示される余白領域に対応する映像信号は、水平ブランキング時間、又は垂直ブランキング時間にデータ駆動回路から各データ信号線に供給されることが好ましい。

8

【0022】(14) この発明の駆動回路あるいは表示装置では、上記表示画面の周辺部に表示される余白領域に対応する映像信号の少なくとも一部は、映像信号をデータ駆動回路からデータ信号線に供給するアナログスイッチとは別のアナログスイッチを通じて水平ブランキング時間、又は垂直ブランキング時間に各データ信号線に供給されることが好ましい。

【0023】

【作用】本発明においては、走査信号駆動回路あるいはデータ駆動回路を構成するシフトレジスタを、スタート信号が入力されるノードが、制御信号により設定され、該設定されたノードの直前の単位レジスタが、該制御信号により非動作状態となるようにし、シフト動作のスタート位置及び終了位置の一方またはその両者を制御信号によって切替え可能な構成としたから、該シフトレジスタにおいて、走査信号線やデータ信号線の選択信号を一端側から他端側にシフトさせる範囲を変えることができる。これにより行方向、列方向の画素数が異なる複数の表示方式の画像を、データ信号に時間軸の変調処理を施すことなく、データ信号の表示方式に合わせて表示することができる。

【0024】つまり、サイズの大きな表示画面の映像信号に対しては、上記シフトレジスタの全範囲に渡ってシフト動作を行い、サイズの小さい表示画面の映像信号に対しては、上記シフトレジスタの限られた範囲でシフト動作をさせることにより、データ信号の時間軸を変調しなくても表示部の上下端部や左右側部にしかるべき大きさの余白部を形成することができ、所定のアスペクト比、表示容量を持つ複数の表示方式の切り替えが可能となる。

【0025】この発明においては、走査信号駆動回路及びデータ駆動回路の少なくとも一方が、表示切り替え信号によって制御され、この表示切り替えによって表示部では、表示画面の周辺部が余白領域となるようにしたので、サイズの大きな表示画面の映像信号に対しては、上記表示画面の全体に渡って画像表示を行い、サイズの小さい表示画面の映像信号に対しては、上記表示画面の周辺部を余白とし、該周辺部を除く限られた範囲に画像表示を行うことにより、データ信号の時間軸を変調しなくても表示部の上下左右にしかるべき大きさの余白部を形成することができ、所定のアスペクト比、表示容量を持つ複数の表示方式の切り替えが可能となる。

【0026】この発明においては、複数の出力ノードを有し、複数の入力信号に基づいて所定の出力ノードに信号を出力するデコーダと、該デコーダの各出力ノードからの信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲート群とを備え、該論理ゲート群を、該デコーダの、各出力ノードへのデコード出力が順次切り替わる領域ではそのデコード出力をそのまま該バッファに出力し、該デコーダの、

(6)

9

各出力ノードへのデコード出力が一定である領域では、そのデコード出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファに出力するよう構成したので、上記のものと同様、行方向、列方向の画素数が異なる複数の表示方式の画像を、データ信号に時間軸の変調処理を施すことなく、データ信号の表示方式に合わせて表示することができる。

【0027】

【実施例】

（実施例1）図1は本発明の第1の実施例による液晶表示装置を説明するための図であり、図1（a）は、該液晶表示装置により表示される複数の表示方式における表示画像を模式的に示し、図1（b）は、上記液晶表示装置の構成を示す。

【0028】図において、1は本実施例の液晶表示装置で、2aは画素数の多い表示方式（A方式）のデータ信号をその表示部に表示させたときの表示画像、2bは画素数の少ない表示方式（B方式）を該表示部に表示させたときの表示画像である。例えば本表示装置を情報端末用として用いた場合に、A方式のデータ信号に対応する表示画像2aは、その精細度が高いものとなり、B方式のデータ信号に対応する表示画像2bは、精細度の低いものとなる。ここではB方式として、A方式に比べると行方向、列方向ともに画素数が少ないものについて述べるが、本発明は、B方式が、A方式に比べて行方向及び列方向のいずれか一方についてのみが画素数が少ないものである場合にも適用できることは言うまでもない。

【0029】ここで、ゲートドライバ（走査信号駆動回路）4を構成するシフトレジスタは、その各段の出力が論理ゲート、バッファを通じて表示部内の走査信号線101に供給されるようになっている。一方ソースドライバ（データ駆動回路）5を構成するシフトレジスタ15は、その各段の出力が論理ゲート、及びバッファを通じて、映像信号線108と各データ信号線102との間のアナログスイッチ111の制御信号となるようにしてある。なお、図6と同一符号は従来の液晶表示装置と同一のものを示している。

【0030】図2は上記ゲートドライバ4を構成するシフトレジスタの回路構成を示す。図において、14は、単位レジスタ14aを各走査信号線101に対応させてシリアルに複数接続してなるシフトレジスタで、各単位レジスタ14aは、準スタティック型のD-フリップフロップを用いて構成されている。シフトレジスタ14の一端（紙面左端）には、スタートパルスSPと表示方式切り替え信号（制御信号）Aとを入力とするAND回路14bが接続されており、初段の単位レジスタ14aには、該両信号のAND出力が入力されるようになっている。上記シフトレジスタ14の各段の信号ノードのうち、B方式の表示画面2bの上端に対応する信号ノードBuには、スタートパルスが、信号/Aによって制御さ

10

れるクロックインバータ24aを介して入力される。また上記シフトレジスタ14の各段の信号ノードのうち、B方式の表示画面2bの下端に対応する信号ノードBdには、信号/Aによって制御されるクロックインバータ24bを介して0レベルが入力される。

【0031】ここでは、信号Aが1レベルの場合には、シフトレジスタは、通常のシフト動作を行う。つまりシフトレジスタの左端からスタート信号SPが入力され、それがクロック信号 ϕ （/ ϕ ）に応じて順に送られて行く。これがA方式のデータ信号の表示を行う際のシフトレジスタ14の動作である。

【0032】一方信号Aが0レベルの場合には左端のAND回路14bの出力はスタート信号に関係なく0レベルである。このスタート信号（0レベル）はクロック信号に応じて順に送られて行くが、シフトレジスタの、B方式の表示画面2bの上端に対応する信号ノードBuの直前のクロックインバータ25aが信号Aによってオフとなっているため、その先には送られない。

【0033】上記信号ノードBuにはスタート信号SPが入力され、シフトレジスタ14の該信号ノードBu以降の、B方式の表示画面2bに対応した部分では、クロック信号に対応してこのスタート信号SPが順に送られる。シフトレジスタ14の、B方式の表示画面2bの下端に対応する信号ノードBdの直前のクロックインバータ25bは、上記信号ノードBu直前のものと同様信号Aによってオフとなっており、そのためスタート信号は上記信号ノードBdの先には送られない。代わってこの信号ノードBdには0レベルが入力される。従って、信号Aが0レベルの場合には、B方式の表示領域2bにおいてのみ、順に選択レベルが走査信号線101に出力される。一方、該B方式のデータ信号を表示しているときの表示画像の両端部のアナログスイッチ（サンプリングゲート）111には、常に非選択レベルが出力される。

【0034】この場合、シフトレジスタの途中の信号ノードに入力されるスタートパルスについては、シフトレジスタの他の信号ノードの出力に対する信号の並進対称性が崩れている。

【0035】つまり、上記信号ノードにスタートパルスを入力するための回路構成に起因して、シフトレジスタのスタート信号が入力される信号ノードと他の信号ノードとでは、出力される信号のタイミングがずれている。

【0036】従って、これがデータ駆動回路においてサンプリングタイミングずれにつながり表示に影響することの無いように、例えば、シフトレジスタを構成する単位レジスタについて、その構成トランジスタのチャネル幅あるいはチャネル長を選択的に変えたり、上記タイミングを合わせるために、上記シフトレジスタの所要の信号ノードに遅延用の負荷を設けたりすることが望ましい。

(7)

11

【0037】また、シフトレジスタにおけるスタートパルスの入力ノードは、かならずしもB表示領域の境界に対応するシフトレジスタの信号ノードにきちんと合わせる必要はなく、オーバースキャンを考慮して数画素分外側に設けることも設計上十分に考慮すべきである。

【0038】図3は上記シフトレジスタの出力とバッファとの間の論理回路群を示す。図において、16はシフトレジスタ14の出力とバッファ（図示せず）との間に設けられている論理回路群で、上記シフトレジスタの各段の出力に対応する複数の単位論理回路16aからなる。ここで X_1 、 \dots 、 X_m はシフトレジスタ14の出力である。但し、所望の駆動信号を得るための、論理ゲートによるパルス幅の変換などは既に行われているものとする。RBは、B方式のデータ信号の表示領域に対応する、シフトレジスタの出力領域で、この出力領域RBに対応する単位論理回路16bは、直列接続の2つのインバータ26からなり、切り替え信号Aに関係なくシフトレジスタ14の出力をそのまま通過させてバッファへ出力する。

【0039】一方、RAはB方式のデータ信号の表示領域上下の余白領域に対応する、シフトレジスタの出力領域で、この出力領域RAに対応する単位論理回路16aは、信号Aにより制御され、シフトレジスタの出力を受けるクロックインバータ26aと、信号Aにより制御され、余白サンプリング制御信号BCを受けるクロックインバータ26bと、該両インバータ26a、26bの出力に共通接続されたインバータ26とからなる。この単位論理回路16aは、信号Aが1レベルの場合にはシフトレジスタ14の出力を通過させて直接バッファに出力し、信号Aが0レベルの場合には余白部サンプリング制御信号BCをシフトレジスタ14の出力のかわりにバッファに出力する。

【0040】上記説明では、ゲートドライバを構成するシフトレジスタについて説明したが、ソースドライバを構成するシフトレジスタも、行方向（水平走査方向）と列方向（垂直走査方向）の違いがあるだけで、その他は上記ゲートドライバのものと同様な構成となっている。

【0041】図4は上記各駆動回路の駆動タイミングの一例を示し、図4（a）は走査信号駆動回路の動作タイミングを説明するための波形図、図4（b）はデータ駆動回路の動作タイミングを説明するための波形図である。

【0042】図において、BCGが列方向の余白部サンプリング制御信号であり、これに対応して走査信号側（垂直方向）の上下の余白部に対応する走査信号線が選択レベルとなり、これに対応する画素に余白部に対応する映像信号がデータ信号線に入力される。

【0043】図4（b）には図4（a）のひとつの走査信号線 X_2 に対応する時間内のデータ駆動回路のタイミングの一例を示す。ここでBCSは行方向の余白部サン

12

プリング制御信号である。この信号に対応して、表示部の左右の余白部に対応する映像信号がデータ信号線に入力される。

【0044】上記シフトレジスタの出力領域A、Bによって、論理回路やバッファの構成が異なれば出力信号の遅延量が異なることとなり、データ駆動回路においてサンプリングタイミングずれにつながる可能性がある。

【0045】そのため該シフトレジスタの、一部を走査する時にシフト動作が行われる領域と、該シフトレジスタの、一部を走査する時にシフト動作が行われない領域との間で、出力信号の遅延量が揃うよう、上記のように単位レジスタの構成トランジスタのチャネル幅を調整したり、タイミングを合わせるための遅延用の負荷をシフトレジスタの所要の信号ノードに設けたりすることが望ましい。

【0046】また、図9は上記両方式における駆動タイミングを説明するための図であり、図9（a）はA方式の駆動タイミングの波形図、図9（b）はB方式の駆動タイミングの波形図である。ここではA方式ではB方式に比べて精細度が高いため、駆動周波数は高いものになる。また、上記両方式では、ゲート駆動回路（走査信号線駆動回路）の出力パルス、ソース駆動回路（データ信号線駆動回路）のサンプリングパルスもデューティ比の異なったものになっている。

【0047】A方式のデータ信号（ビデオ信号）については、上記駆動回路の通常動作により画像表示することができる。一方B方式のデータ信号（ビデオ信号）を表示するためには、ドライバ（駆動回路）を構成するシフトレジスタの中央部のみを走査する必要がある。

【0048】次に作用効果について説明する。

【0049】この実施例では、そのドライバ内部の走査法の切り替えを制御信号Aによって行うようにしている。またB方式のデータ信号に対応する表示においては、表示画面の周縁部分が余白となり、通常この部分には黒表示を行う。この黒表示部分については、以下に説明するようにして映像信号を書き込む。

【0050】即ち、B方式のデータ信号に対しては、表示画像の左右両側部の余白部には、水平ブランキング時間の一部において、この部分に対応するアナログスイッチ111を開き、対応する映像信号を書き込む。一方、表示の上下の余白部には垂直ブランキング時間の一部に対応する走査信号線をすべてオンとし、その間にソースドライバを通じて対応する映像信号をデータ信号線に書き込むことによって行う。この方式によれば余白部は必ずしも黒しか表示できない訳ではなく、余白部には任意の階調の表示を行うことが可能である。

【0051】このように本実施例では、走査信号駆動回路、データ駆動回路が表示切り替え信号Aによって制御される構成としたので、映像信号の時間軸を変調しなくても表示部の上下端部や左右側部にしかるべき大きさの

(8)

13

余白部を形成することができ、所定のアスペクト比、表示容量を持つ複数の表示方式の切り替えが可能となる。

【0052】（実施例2）図5は本発明の第2の実施例による表示装置を説明するための図であり、この実施例では、第1実施例の各駆動回路を構成するシフトレジスタを双方向走査可能なものとしたものである。ここでは、入力初段以外の単位レジスタ30bは、2つのクロックドインバータを逆方向に並列接続してなる並列接続体を、2つ直列に接続して構成されている。また入力初段の単位レジスタ30aは、1つのクロックドインバータの出力に上記並列接続体を接続した構成となっている。上記単位レジスタにクロック信号とともに入力される信号Rがシフトレジスタの走査方向の切り替え用の信号となっている。ここではシフトレジスタ30の両側からスタート信号SPと信号AとのANDが入力される。またB方式の表示画面の左端（上端）に対応する、シフトレジスタの信号ノードBu'には、スタート信号と信号RとのAND入力がクロックドインバータ31aを介して、信号Aが0レベルの場合のみ入力される。B方式の表示画面の右端（下端）に対応する、シフトレジスタの信号ノードBd'には、スタート信号SPと信号RのAND出力がクロックドインバータ31bを介して、信号Aが0レベルの場合のみ入力される。

【0053】これによって信号Aが1レベルの場合にはシフトレジスタ30全体が走査され、かつその走査方向が信号Rによって切り替え可能となる。

【0054】一方信号Aが0レベルの場合には、シフトレジスタ30の中でそのB方式の表示画面に対応する領域のみが走査され、かつこの走査領域中では走査方向を切り替えることができる。この場合にもシフトレジスタとバッファとの間には図3に示すような論理ゲート群が設けられており、第1の実施例の場合と同様の表示を得ることができる。

【0055】（実施例3）図7は本発明の第3の実施例による表示装置を説明するための図であり、これは、上記第1の実施例におけるゲート駆動回路及びソース駆動回路を構成するシフトレジスタを、デコーダに置き換えたものである。

【0056】図において、40は上記ゲート駆動回路を構成するデコーダで、図7（a）に示すように、各走査信号線に対応する単位選択回路40aを複数有している。該各単位選択回路40aの出力は、上記第1の実施例と同様上記論理回路群16の対応する単位論理回路16a、16bに接続されている。これらの単位論理回路16a、16bは図7（d）、図7（c）に示すように上記第1の実施例における構成と全く同一である。また、上記単位選択回路40aは、図7（b）に示すように、複数の入力データ信号を受ける2つのNAND回路41と、該NAND回路41の出力を入力とするAND回路42とからなる。

14

【0057】このような構成の本実施例では、上記シフトレジスタを用いる第1の実施例と同様、データ信号（映像信号）に時間軸の変調をかけなくても、行方向、列方向の画素数が異なる複数の表示方式のデータ信号を、一つの表示装置においてその動作を切り替えて表示することが可能となり、その切り替えもデータ制御信号の切り替えによって行うことができ、非常に簡便である。

【0058】また、この実施例では、データ制御信号を変えることによって、上記デコーダ40における走査領域、つまり単位選択回路を駆動する範囲と、走査タイミング、つまり該単位選択回路の駆動タイミングを変更できる。

【0059】（実施例4）図8は本発明の第4の実施例による表示装置を説明するための図であり、第1実施例の構成において、データ駆動回路中のアナログスイッチ111とは別にデータバスライン102に余白部映像信号を入力するためのアナログスイッチ112を設けたものである。これらのアナログスイッチ112は余白部映像信号入力線113と各データ信号線102との間に接続されている。

【0060】ここで、上記B方式の表示画像における左右の余白部に対応するアナログスイッチ112は、制御信号BCSによってオン、オフが制御される。

【0061】この実施例では、上記第1の実施例の効果に加えて、映像信号の行方向走査時のブランキング部に余白部に対応する映像信号を挿入する必要がなくなり、外部の制御回路が簡略化される。

【0062】またB方式の表示画像の、左右の余白以外の領域に対応するデータ信号線にも、別の制御信号BCS'によってオン、オフ制御されるアナログスイッチ112aを介して余白部映像信号を入力する構成とすることができる。これによってB方式の表示画像における上下の余白部に対応する映像信号もこのアナログスイッチ112aを通じて入力することが可能となる。

【0063】

【発明の効果】以上のように本発明によれば、走査信号駆動回路あるいはデータ駆動回路を構成するシフトレジスタを、スタート信号が入力されるノードが、制御信号により設定され、該設定されたノードの直前の単位レジスタが、該制御信号により非動作状態となるようにし、シフト動作のスタート位置及び終了位置の一方またはその両者を制御信号によって切り替え可能な構成としたので、該シフトレジスタにおいて、走査信号線やデータ信号線の選択信号を一端側から他端側にシフトさせる範囲を変えることができる。これにより行方向、列方向の画素数が異なる複数の表示方式の画像を、データ信号に時間軸の変調処理を施すことなく、データ信号の表示方式に合わせて表示することができる効果がある。

【0064】つまり、サイズの大きな表示画面の映像信

(9)

15

号に対しては、上記シフトレジスタの全範囲に渡ってシフト動作を行い、サイズの小さい表示画面の映像信号に対しては、上記シフトレジスタの限られた範囲でシフト動作をさせることにより、データ信号の時間軸を変調しなくても表示部の上下端部や左右側部にしかるべき大きさの余白部を形成することができ、所定のアスペクト比、表示容量を持つ複数の表示方式の切り替えが可能となる。

【0065】この発明によれば、走査信号駆動回路及びデータ駆動回路の少なくとも一方が、表示切り替え信号によって制御され、この表示切り替えによって表示部では、表示画面の周辺部が余白領域となるようにしたので、サイズの大きな表示画面の映像信号に対しては、上記表示画面の全体に渡って画像表示を行い、サイズの小さい表示画面の映像信号に対しては、上記表示画面の周辺部を余白とし、該周辺部を除く限られた範囲に画像表示を行うことにより、データ信号の時間軸を変調しなくても表示部の上下端部や左右側部にしかるべき大きさの余白部を形成することができ、所定のアスペクト比、表示容量を持つ複数の表示方式の切り替えが可能となる効果がある。

【0066】この発明によれば、複数の出力ノードを有し、複数の入力信号に基づいて所定の出力ノードに信号を出力するデコーダと、該デコーダの各出力ノードからの信号を受け、これを走査信号又はサンプリングゲート制御信号としてバッファへ出力する論理ゲートとを備え、該論理ゲートを、該デコーダの、各出力ノードへのデコード出力が順次切り替わる領域ではそのデコード出力をそのまま該バッファに出力し、該デコーダの、各出力ノードへのデコード出力が一定である領域では、そのデコード出力、あるいはこれとは別の信号のいずれかを制御信号に基づいて該バッファに出力するよう構成したので、上記と同様、行方向、列方向の画素数が異なる複数の表示方式の画像を、データ信号に時間軸の変調処理を施すことなく、データ信号の表示方式に合わせて表示することができる効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例による表示装置における表示状態を模式的に示す図である。

【図2】上記第1実施例の表示装置の走査信号駆動回路及びデータ駆動回路を構成するシフトレジスタの回路構

16

成を示す図である。

【図3】上記シフトレジスタと、その出力側のバッファとの間に設けられている論理ゲート群を説明するための図である。

【図4】上記第1実施例の表示装置を構成する各駆動回路の動作タイミングを示す波形図である。

【図5】本発明の第2の実施例による表示装置の駆動回路を構成するシフトレジスタの回路構成を示す図である。

【図6】従来のアクティブマトリクス基板を用いた液晶表示装置の構成を示す図である。

【図7】本発明の第3の実施例による表示装置を構成する駆動回路の構成を示す図である。

【図8】本発明の第4の実施例による表示装置を構成する駆動回路の構成を示す図である。

【図9】上記第1実施例の表示装置におけるA方式、B方式での駆動波形を示す図である。

【符号の説明】

2a A方式の表示画像

2b B方式の表示画像

4 ゲートドライバ（走査信号駆動回路）

5 ソースドライバ（データ駆動回路）

14, 15, 30 シフトレジスタ

14a, 14b, 30a, 30b 単位レジスタ

16 論理回路群

16a, 16b 単位論理回路

24a, 24b, 25a, 25b, 26a, 26b ク

ロックドインバータ

26 インバータ

40 デコーダ

40a 単位選択回路

41 NAND回路

42 AND回路

101 走査信号線（ゲートバスライン）

102 データ信号線（データバスライン）

103 画素TFT

106 画素容量

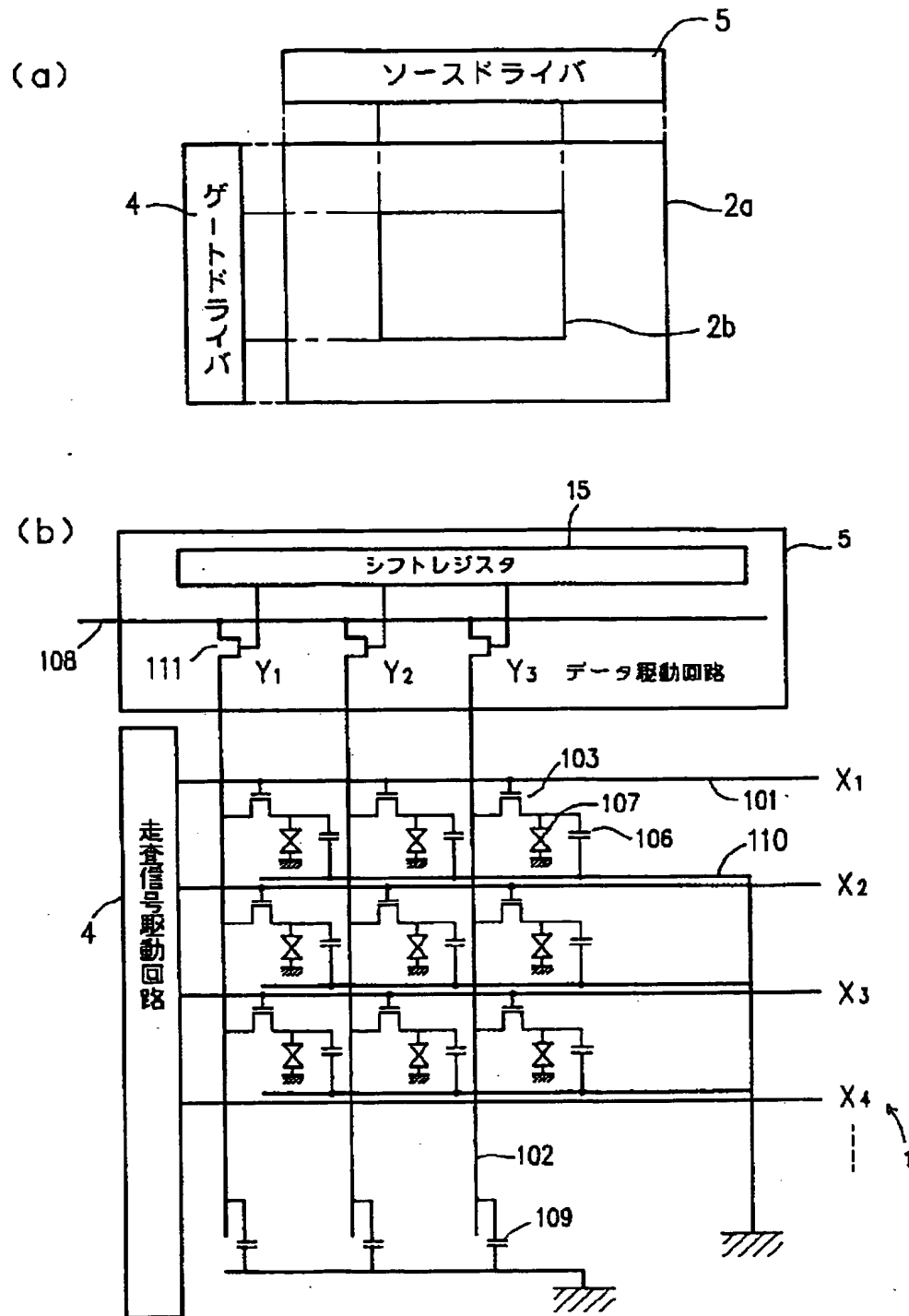
107 画素

108 映像信号入力線

111, 112, 112a アナログスイッチ

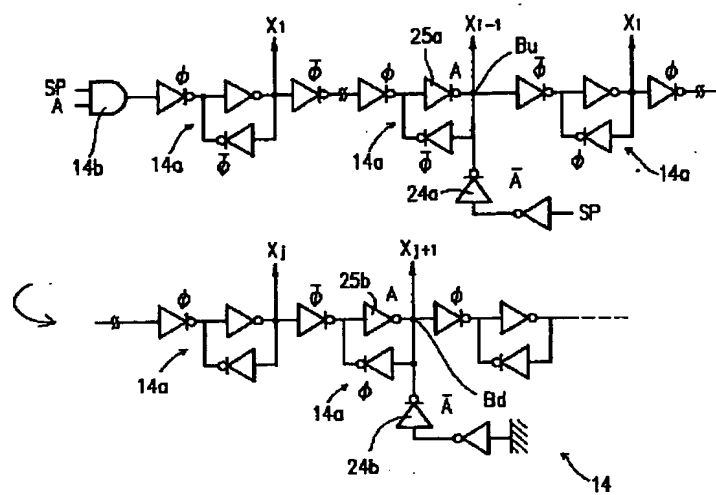
(10)

【図1】

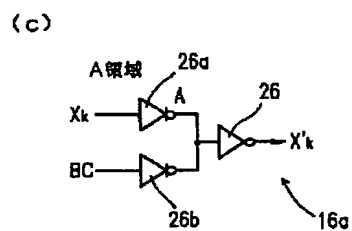
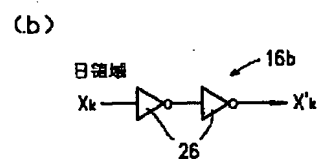
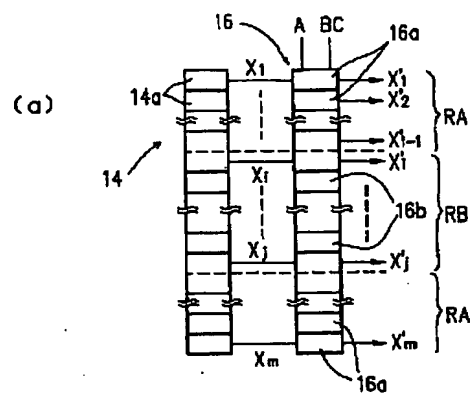


(11)

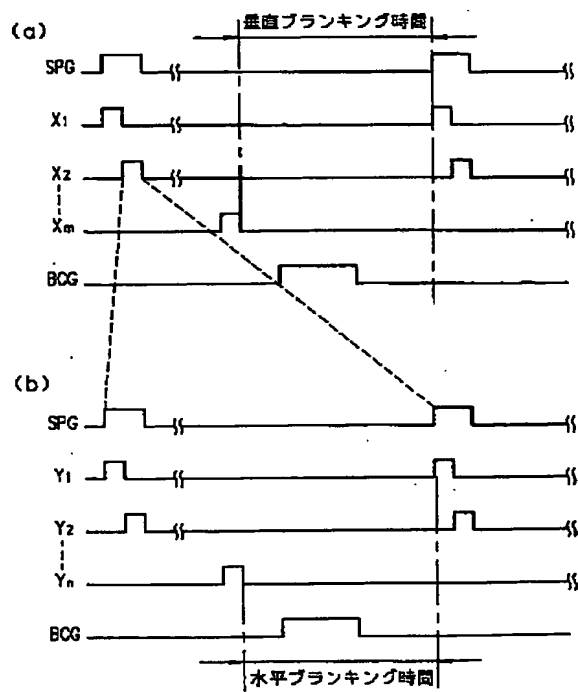
【図 2】



【図 3】

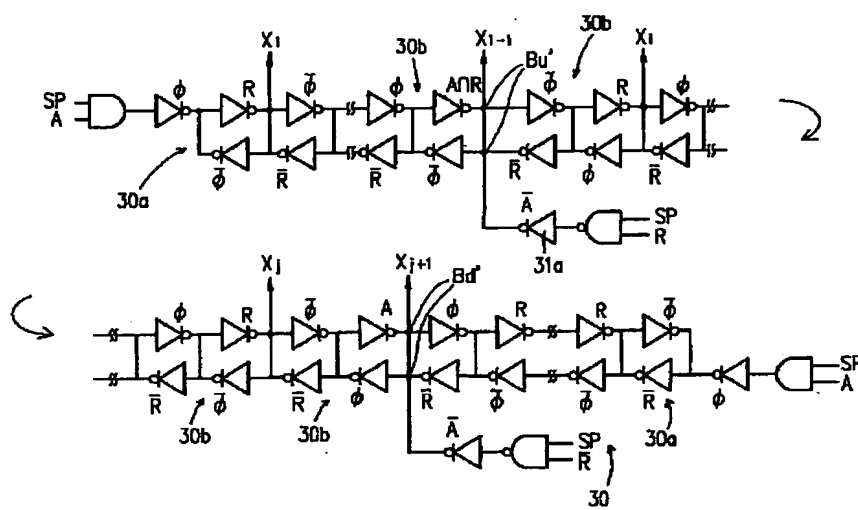


【図4】

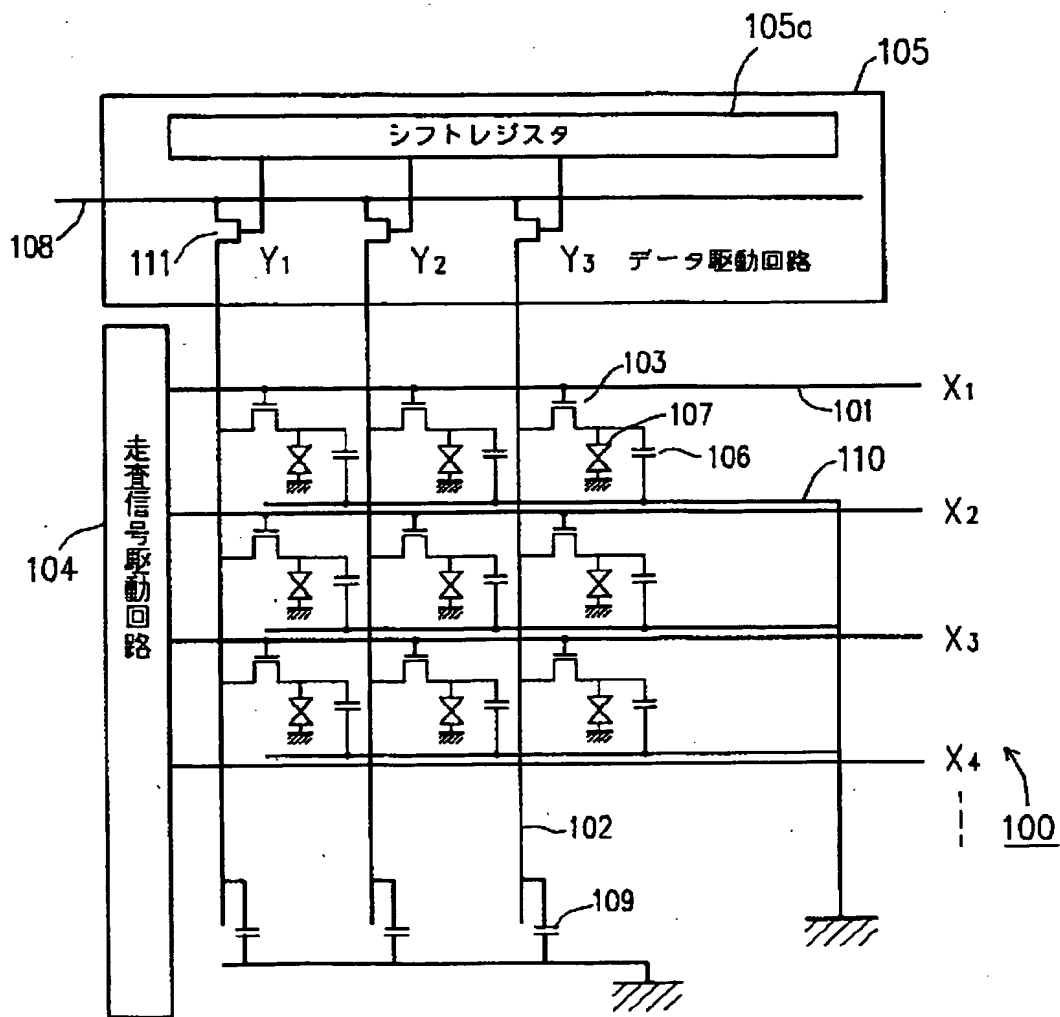


(12)

【図5】

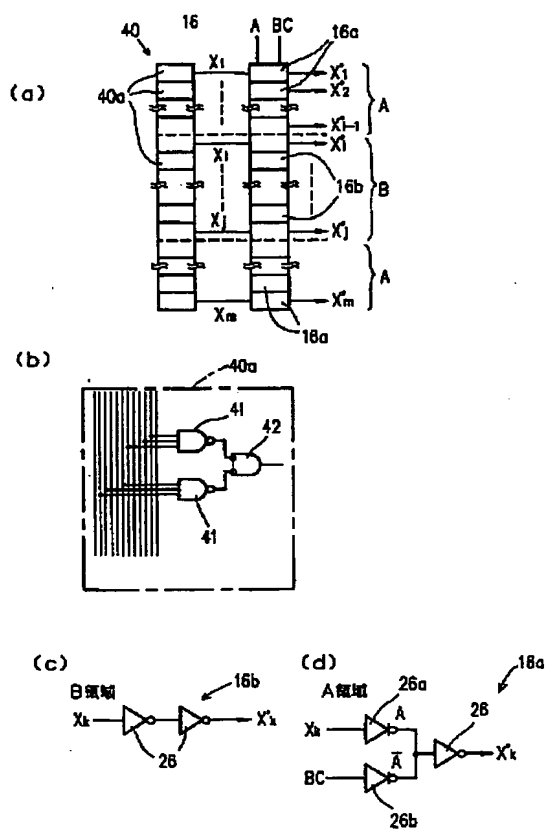


【図6】

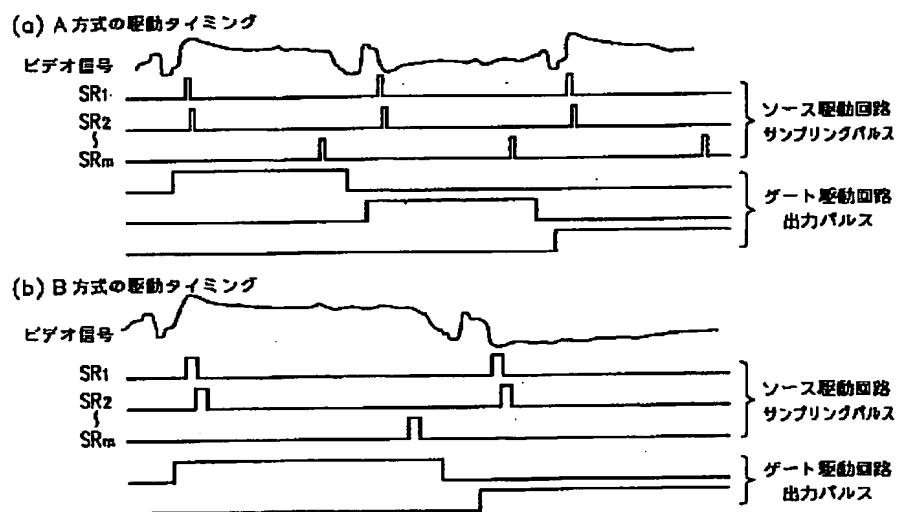


(13)

【図 7】

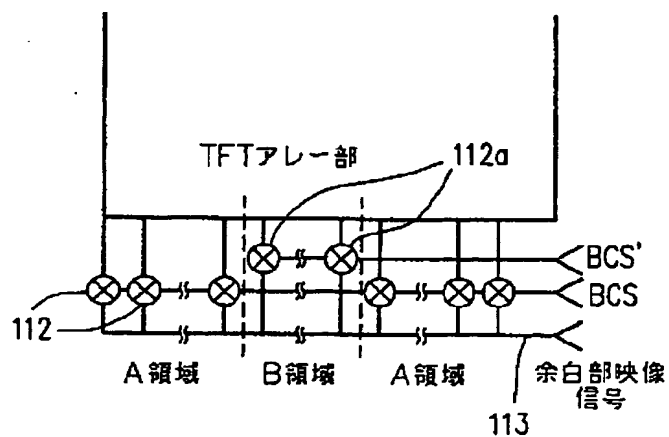
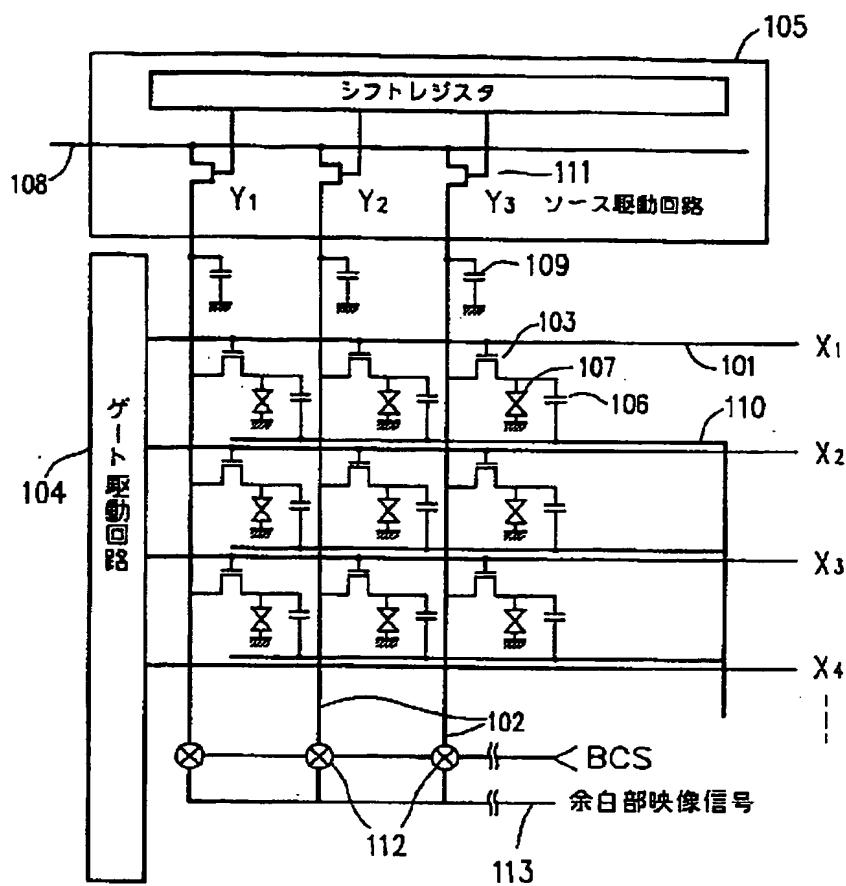


【図 9】



(14)

【図8】



*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] Are the drive circuit which carries out the sequential drive of two or more scan signal lines, and make this each scan signal line correspond, and it comes to connect two or more unit registers serially. It has the shift register which shifts to the next unit register the start signal inputted into the predetermined node one after another based on a reference signal, and sends it to an end side. This shift register The node into which this start signal is inputted is set up by the control signal, and the unit register in front of the this set-up node It is the drive circuit where it is constituted in so that it may be in non-operating state with this control signal, and this shift register has composition which can be changed with this control signal in either the start location of a shift action or a termination location and its both.

[Claim 2] It is the drive circuit which carries out drive control of two or more scan signal lines which can be set to an indicating equipment, or two or more sampling gates which sample the data signal in an indicating equipment. Make a unit register correspond to this each scan signal line or this each sampling gate, and more than one come to connect serially. The shift register which shifts to the next unit register the signal inputted into the predetermined node one after another based on a reference signal, and sends it to an end side, The maintenance signal of each unit register of this shift register is received, and it has the logic-gate group outputted to a buffer by making this into a scan signal or a sampling gate control signal. This logic-gate group In the field in which a shift action is performed when scanning these some shift registers, the output is outputted to this buffer as it is. The drive circuit which consists of fields in which a shift action is not performed when scanning these some shift registers so that either of the signals different from the output of a unit register or this may be outputted to this buffer based on a control signal.

[Claim 3] The display to which it has two or more scan signal lines and two or more data

signal lines arranged so that this might be intersected, and a display is performed by the electrical-potential-difference impression to the intersection of this scan signal line and a data signal line. It has the scan signal drive circuit which carries out the sequential drive of two or more scan signal lines, and the data drive circuit which carries out the sequential drive of two or more data signal lines. The display which either [at least] this scan signal drive circuit or a data drive circuit is controlled by the display change signal, and is constituted from a display by this display change so that the periphery of the display screen may serve as a margin field.

[Claim 4] Either [at least] said scan signal drive circuit or a data drive circuit Make a unit register correspond to said each scan signal line or said each data signal line, and more than one come to connect serially. It has the shift register which shifts to the next unit register the start signal inputted into the predetermined node one after another based on a reference signal, and sends it to an end side. This shift register The display according to claim 3 constituted so that this start signal may be switched by the control signal and may be inputted between the edge node and a predetermined intermediate node.

[Claim 5] The sequential drive of said data signal line is what is performed by carrying out sequential drive control of two or more sampling gates which sample a data signal. Either [at least] said scan signal drive circuit or a data drive circuit Make a unit register correspond to said each scan signal line or said each sampling gate, and more than one come to connect serially. The shift register which shifts to the next unit register the start signal inputted into the predetermined node one after another based on a reference signal, and sends it to an end side, The maintenance signal of each unit register of this shift register is received, and it has the logic-gate group outputted to a buffer by making this into a scan signal or a sampling gate control signal. This logic-gate group In the field in which a shift action is performed when scanning these some shift registers, the output is outputted to this buffer as it is. The display according to claim 3 which consists of fields in which a shift action is not performed when scanning these some shift registers so that either of the signals different from the output of a unit register or this may be outputted to this buffer based on a control signal.

[Claim 6] Said shift register is a display according to claim 5 constituted so that said start signal may be switched by the control signal and may be inputted between the edge node and a predetermined intermediate node.

[Claim 7] Said shift register is a display according to claim 4 to 6 which is the thing corresponding to a bidirectional scan in which a bidirectional shift action is possible.

[Claim 8] The display according to claim 4 or 6 equipped with the 1st time delay

adjustment device with which it is made for the amount of delay of the output signal of this shift register to become fixed by the logic gate which inputs a start signal into the node in the middle of this shift register, and the input node of a start signal of this shift register and the other node.

[Claim 9] The display according to claim 5 or 6 which has the 2nd time delay adjustment device which sets the amount of delay of an output signal constant between the field where a shift action is performed when scanning these some shift registers, and the field where a shift action is not performed when scanning these some shift registers.

[Claim 10] It is the drive circuit in two or more scan signal lines which can be set to an indicating equipment, or an indicating equipment which carries out drive control of two or more sampling gates which sample a data signal. The decoder which has two or more output nodes and outputs a signal to a predetermined output node based on two or more input signals, The signal from each output node of this decoder is received, and it has the logic-gate group outputted to a buffer by making this into a scan signal or a sampling gate control signal. This logic-gate group In the field in which the decoding output to each output node of this decoder changes one by one, the decoding output is outputted to this buffer as it is. The drive circuit which consists of fields where the decoding output to each output node of this decoder is fixed so that either of the signals different from the decoding output or this may be outputted to this buffer based on a control signal.

[Claim 11] The sequential drive of said data signal line is what is performed by carrying out sequential drive control of two or more gates which sample a data signal. Either [at least] said scan signal drive circuit or a data drive circuit The decoder which has two or more output nodes and outputs a signal to a predetermined output node based on two or more input signals, The signal from each output node of this decoder is received, and it has the logic-gate group outputted to a buffer by making this into a scan signal or a sampling gate control signal. This logic-gate group In the field in which the decoding output to each output node of this decoder changes one by one, the decoding output is outputted to this buffer as it is. The display according to claim 3 which consists of fields where the decoding output to each output node of this decoder is fixed so that either of the signals different from the decoding output or this may be outputted to this buffer based on a control signal.

[Claim 12] The display according to claim 11 which has the time delay adjustment device which sets the amount of delay of a decoding output constant between the field where the decoding output to each output node of this decoder changes one by one, and

the field where the decoding output to each output node of this decoder is fixed.

[Claim 13] The video signal corresponding to the margin field displayed on the periphery of said display screen is a display given in 9, 11, or 12 [claim 3 supplied to level blanking time amount or perpendicular blanking time amount from a data drive circuit at each data signal line thru/or].

[Claim 14] A part of video signal [at least] corresponding to the margin field displayed on the periphery of said display screen is a display given in 9, 11, 12, or 13 [claim 3 supplied to level blanking time amount or perpendicular blanking time amount at each data signal line through an analog switch other than the analog switch which supplies a video signal to a data signal line from a data drive circuit thru/or].

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to what constituted the video signal of two or more means of displaying with which length differs from the horizontal number of pixels possible [the display to one display panel] by switching actuation of a drive circuit about a drive circuit and a display.

[0002]

[Description of the Prior Art] Drawing 6 shows an example of the configuration of the conventional liquid crystal display. In drawing, 100 is a liquid crystal display using the conventional active-matrix substrate, and has the scan signal drive circuit 104 and the data drive circuit 105 which were made in one on this substrate. Corresponding to the pixel 107 arranged in the shape of a matrix, the pixel TFT(thin film transistor) 103 is formed in this AKUDIBU matrix substrate. Moreover, on this substrate, the data signal line (data bus line) 102 which supplies a data signal to the above-mentioned pixel 107, and the scan signal line 101 which supplies a control signal to the above-mentioned pixel TFT103 are arranged. Each above-mentioned data bus line 102 is connected to touch-down level through capacity 109, respectively.

[0003] The source of each above-mentioned pixel TFT103 is connected to the corresponding data signal line 102, and the gate is connected to the corresponding scan signal line 101. Moreover, the pixel capacity 106 is connected to the drain electrode of this pixel TFT103. Here, the liquid crystal which constitutes the above-mentioned pixel 107 functions as this pixel capacity 106 and a capacity connected to juxtaposition. One terminal of each pixel capacity 106 is grounded with the counterelectrode on an opposite

substrate through the pixel capacity common wiring 110.

[0004] The above-mentioned scan signal drive circuit 104 has the shift register by which the output of each stage was connected to each scan signal line, and outputs ON of a pixel TFT103, and an off control signal to the scan signal line 101. The data drive circuit 105 has ON and shift register 105a which carries out an off drive for the analog switch 111 connected between the video-signal input line 108 and the data signal line (data bus line) 102, and this analog switch, and supplies a data signal to the data bus line 102.

[0005] In recent years, wide television of the aspect ratio 16:9 which is represented by HDTV (high definition television) in addition to television of the conventional aspect ratio 4:3 is beginning to spread. Corresponding to it, the need of the display in which the television display of two or more methods is possible is increasing. Moreover, connecting a display to a computer etc. and using as an object for information terminals is also performed widely. Also in this case, how to use a computer is diversified, and various specification has come to be intermingled so that it may be represented by VGA (video graphic array), XGA (EKUSUTENDIDDO video graphic array), EWS (workstation for engineering), etc. Therefore, also when using as an object for information terminals, it is made to correspond to each specification and the need of the display which can change and display the specification is also increasing.

[0006] As a display which displays two or more methods, the thing of an indication is, for example in JP,3-131182,A especially using the display panel of a matrix mold. In this display, by modulate the time-axis of the inputted video signal and form the video signal which has the signal period of the predetermined level corresponding to the margin section into the front end part and back end part of an effective scan period for the video signal of one line (a part for the 1 scanning line), the right and left both sides section of a display image was made into the margin section, and the approach of perform two kinds of displays from which an aspect ratio differs is adopt.

[0007]

[Problem(s) to be Solved by the Invention] However, it is necessary to modulate the time-axis of a video signal, and there is a fault that the external drive circuit of a display becomes complicated, by the approach currently indicated by JP,3-131182,A.

[0008] It is the purpose of this invention to obtain the drive circuit and display which can display the image of two or more means of displaying with which it was made in order that this invention might solve the above troubles, and the numbers of pixels of a line writing direction and the direction of a train differ according to the means of displaying of a data signal, without performing modulation processing of a time-axis to a data signal.

[0009]

[Means for Solving the Problem]

(1) The drive circuit concerning this invention is a drive circuit which carries out the sequential drive of two or more scan signal lines, and is equipped with the shift register which shifts to the next unit register the start signal which this each scan signal line was made to correspond, came to connect two or more unit registers serially, and was inputted into the predetermined node one after another based on a reference signal, and sends it to an end side. This shift register is constituted so that the node into which this start signal is inputted may be set up by the control signal and the unit register in front of the this set-up node may be in non-operating state with this control signal, and it can change either the start location of a shift action or a termination location and its both with a control signal. The above-mentioned purpose is attained by that.

[0010] (2) Two or more scan signal lines which can set the drive circuit concerning this invention to a display, Or it is the drive circuit which carries out drive control of two or more sampling gates which sample the data signal in an indicating equipment. Make a unit register correspond to this each scan signal line or this each sampling gate, and more than one come to connect serially. The shift register which shifts to the next unit register the signal inputted into the predetermined node one after another based on a reference signal, and sends it to an end side, It has the logic-gate group outputted to a buffer by making this into a scan signal or a sampling gate control signal in response to the maintenance signal of each unit register of this shift register. In the field in which a shift action is performed when scanning these some shift registers, this logic-gate group outputs the output to this buffer as it is, and it consists of fields in which a shift action is not performed when scanning these some shift registers so that either of the signals different from the output of a unit register or this may be outputted to this buffer based on a control signal. The above-mentioned purpose is attained by that.

[0011] (3) The indicating equipment concerning this invention had two or more scan signal lines and two or more data signal lines arranged so that this might be intersected, and is equipped with the display to which a display is performed by the electrical-potential-difference impression to the intersection of this scan signal line and a data signal line, the scan signal drive circuit which carries out the sequential drive of two or more scan signal lines, and the data drive circuit which carries out the sequential drive of two or more data signal lines. Either [at least] this scan signal drive circuit or a data drive circuit is controlled by the display change signal, and it is constituted from a display by this display change so that the periphery of the display screen may serve as a margin field. The above-mentioned purpose is attained by that.

[0012] (4) As for the display of this invention, considering as the following configurations is desirable. Either [at least] the above-mentioned scan signal drive circuit or the data drive circuit has the shift register which shifts to the next unit register the signal which the unit register was made to correspond to said each scan signal line or said each data signal line, came to connect serially, and was inputted into the predetermined node one after another based on a reference signal, and sends it to an end side. [two or more] This shift register is constituted so that this start signal may be switched by the control signal and may be inputted between the edge node and a predetermined intermediate node.

[0013] (5) As for the display of this invention, considering as the following configurations is desirable. It shall be carried out by carrying out sequential drive control of two or more sampling gates which sample a data signal for the sequential drive of the above-mentioned data signal line. Either [at least] said scan signal drive circuit or a data drive circuit Make a unit register correspond to said each scan signal line or said each sampling gate, and more than one come to connect serially. The shift register which shifts to the next unit register the start signal inputted into the predetermined node one after another based on a reference signal, and sends it to an end side, It has the logic-gate group outputted to a buffer by making this into a scan signal or a sampling gate control signal in response to the maintenance signal of each unit register of this shift register. In the field in which a shift action is performed when scanning these some shift registers, this logic gate outputs the output to this buffer as it is, and it consists of fields in which a shift action is not performed when scanning these some shift registers so that either of the signals different from the output of a unit register or this may be outputted to this buffer based on a control signal.

[0014] (6) As for the above-mentioned shift register, in the above-mentioned indicating equipment, it is desirable to be constituted so that said start signal may be switched by the control signal between the edge node and a predetermined intermediate node and it may be inputted.

[0015] (7) As for the above-mentioned shift register, in the drive circuit or indicating equipment of this invention, it is desirable that it is the thing corresponding to a bidirectional scan in which a bidirectional shift action is possible.

[0016] (8) It is desirable to have the 1st time delay adjustment device with which it is made for the amount of delay of the output signal of this shift register to become fixed at the logic gate which inputs a start signal into the node in the middle of the above-mentioned shift register in the drive circuit or indicating equipment of this invention, and the input node of a start signal of this shift register and the other node.

[0017] (9) It is desirable to have the 2nd time delay adjustment device which sets the amount of delay of an output signal constant between the field where a shift action is performed in the drive circuit or indicating equipment of this invention when scanning these some shift registers, and the field where a shift action is not performed when scanning these some shift registers.

[0018] (10) The drive circuit concerning this invention is the drive circuit in two or more scan signal lines which can be set to an indicating equipment, or an indicating equipment which carries out the drive control of two or more sampling gates which sample a data signal, and it had two or more output nodes, and it has the decoder which outputs a signal to a predetermined output node based on two or more input signals, and the logic-gate group which receives the signal from each output node of this decoder, and output to a buffer by making this into a scan signal or a sampling gate control signal. This logic-gate group outputs the decoding output to this buffer as it is, and in the field where the decoding output to each output node of this decoder is fixed, it consists of fields in which the decoding output to each output node of this decoder changes one by one so that either of the signals different from the decoding output or this may be outputted to this buffer based on a control signal. The above-mentioned purpose is attained by that.

[0019] (11) As for the display of this invention, considering as the following configurations is desirable. The sequential drive of the above-mentioned data signal line is what is performed by carrying out sequential drive control of two or more sampling gates which sample a data signal. Either [at least] the above-mentioned scan signal drive circuit or a data drive circuit It had two or more output nodes, and has the decoder which outputs a signal to a predetermined output node based on two or more input signals, and the logic-gate group which receives the signal from each output node of this decoder, and is outputted to a buffer by making this into a scan signal or a sampling gate control signal. This logic-gate group outputs the decoding output to this buffer as it is, and in the field where the decoding output to each output node of this decoder is fixed, it consists of fields in which the decoding output to each output node of this decoder changes one by one so that either of the signals different from the decoding output or this may be outputted to this buffer based on a control signal.

[0020] (12) It is desirable to have the time delay adjustment device which sets the amount of delay of a decoding output constant between the field where the decoding output to each output node of this decoder changes one by one in the indicating equipment of this invention, and the field where the decoding output to each output node of this decoder is fixed.

[0021] (13) As for the video signal corresponding to the margin field displayed on the periphery of the above-mentioned display screen in the drive circuit or display of this invention, it is desirable that level blanking time amount or perpendicular blanking time amount is supplied from a data drive circuit at each data signal line.

[0022] (14) As for a part of video signal [at least] corresponding to the margin field displayed on the periphery of the above-mentioned display screen in the drive circuit or display of this invention, it is desirable that level blanking time amount or perpendicular blanking time amount is supplied at each data signal line through an analog switch other than the analog switch which supplies a video signal to a data signal line from a data drive circuit.

[0023]

[Function] In this invention, the shift register which constitutes a scan signal drive circuit or a data drive circuit The node into which a start signal is inputted is set up by the control signal, and the unit register in front of the this set-up node Since it is made to be in non-operating state with this control signal and either the start location of a shift action or a termination location and its both were considered as the configuration which can be changed with a control signal, it sets to this shift register. The range which shifts the selection signal of a scan signal line or a data signal line from an end side to an other end side is changeable. The image of two or more means of displaying with which the numbers of pixels of a line writing direction and the direction of a train differ by this can be displayed according to the means of displaying of a data signal, without performing modulation processing of a time-axis to a data signal.

[0024] That is, the video signal of the display screen where size is big is received. Cross to all the range of the above-mentioned shift register, perform a shift action, and the video signal of the display screen where size is small is received. By carrying out a shift action in the range in which the above-mentioned shift register was restricted Even if it does not modulate the time-axis of a data signal, the margin section of appropriate magnitude can be formed in the vertical edge and right-and-left flank of a display, and the change of a predetermined aspect ratio and two or more means of displaying with display capacity is attained.

[0025] In this invention, either [at least] a scan signal drive circuit or a data drive circuit is controlled by the display change signal. By this display change in a display Since it was made for the periphery of the display screen to serve as a margin field, the video signal of the display screen where size is big is received. Perform image display over the above-mentioned whole display screen, and the video signal of the display screen where size is small is received. By making the periphery of the above-mentioned

display screen into a margin, and performing image display in the limited range except this periphery Even if it does not modulate the time-axis of a data signal, the margin section of appropriate magnitude can be formed in the four directions of a display, and the change of a predetermined aspect ratio and two or more means of displaying with display capacity is attained.

[0026] The decoder which has two or more output nodes and outputs a signal to a predetermined output node in this invention based on two or more input signals, It has the logic-gate group which receives the signal from each output node of this decoder, and is outputted to a buffer by making this into a scan signal or a sampling gate control signal. In the field in which the decoding output to each output node of this decoder changes this logic-gate group one by one, the decoding output is outputted to this buffer as it is. In the field where the decoding output to each output node of this decoder is fixed Since it constituted so that either of the signals different from the decoding output or this might be outputted to this buffer based on a control signal The image of two or more means of displaying with which the numbers of pixels of a line writing direction and the direction of a train differ can be displayed like the above-mentioned thing according to the means of displaying of a data signal, without performing modulation processing of a time-axis to a data signal.

[0027]

[Example]

(Example 1) Drawing 1 is drawing for explaining the liquid crystal display by the 1st example of this invention, drawing 1 (a) shows typically the display image in two or more means of displaying displayed by this liquid crystal display, and drawing 1 (b) shows the configuration of the above-mentioned liquid crystal display.

[0028] In drawing, 1 is the liquid crystal display of this example, and a display image when 2a displays the data signal of means of displaying (A method) with many pixels on the display, and 2b are the display images when displaying means of displaying (B method) with few pixels on this display. For example, when this indicating equipment is used as an object for information terminals, display-image 2a corresponding to the data signal of A method will become high [the definition], and display-image 2b corresponding to the data signal of B method will become what has low definition.

Although a line writing direction and the direction of a train describe that what has the few number of pixels compares with A method as a B method here, it cannot be overemphasized that B method can apply this invention also when either a line writing direction and the direction of a train have few pixels compared with A method.

[0029] Here, as for the shift register which constitutes a gate driver (scan signal drive

circuit) 4, the output of each of that stage is supplied to the scan signal line 101 in a display through a logic gate and a buffer. It is made for the shift register 15 which, on the other hand, constitutes the source driver (data drive circuit) 5 to be the control signal of the analog switch 111 between the video-signal line 108 and each data signal line 102 through the logic gate and the buffer in the output of each of that stage. In addition, the same sign as drawing 6 shows the same thing as the conventional liquid crystal display.

[0030] Drawing 2 shows the circuitry of the shift register which constitutes the above-mentioned gate driver 4. In drawing, 14 is the shift register which each scan signal line 101 is made to correspond, and comes to connect two or more unit register 14a serially, and each unit register 14a is constituted using D-flip-flop of a semi-static mold. AND-circuit 14b which considers a start pulse SP and the means-of-displaying change signal (control signal) A as an input is connected to the end (space left end) of a shift register 14, and the AND output of these both signals is inputted into unit register 14a of the first rank. A start pulse is inputted into the signal node Bu corresponding to the upper limit of display screen 2b of B method through clocked inverter 24a controlled by the signal/A among the signal nodes of each stage of the above-mentioned shift register 14. Moreover, 0 level is inputted into the signal node Bd corresponding to the lower limit of display screen 2b of B method through clocked inverter 24b controlled by the signal/A among the signal nodes of each stage of the above-mentioned shift register 14.

[0031] Here, when Signal A is 1 level, as for a shift register, the usual shift action is performed. That is, start signal SP is inputted from the left end of a shift register, and it is sent in order according to clock signal ϕ (ϕ), and goes. It is actuation of the shift register 14 at the time of this displaying the data signal of A method.

[0032] On the other hand, when Signal A is 0 level, the output of left end AND-circuit 14b is 0 level regardless of a start signal. Although this start signal (0 level) is sent in order according to a clock signal and it goes, since clocked inverter 25a in front of the signal node Bu corresponding to the upper limit of display screen 2b of B method of a shift register is off, it is not sent to that point by Signal A.

[0033] Start signal SP is inputted into the above-mentioned signal node Bu, and this start signal SP is seen off in it in order corresponding to a clock signal in the part corresponding to display screen 2b of B method after this signal node Bu of a shift register 14. Clocked inverter 25b in front of the signal node Bd corresponding to the lower limit of display screen 2b of B method of a shift register 14 has become off with Signal A like the thing in front of the above-mentioned signal node Bu, therefore a start

signal is not sent to the point of the above-mentioned signal node Bd. Instead, 0 level is inputted into this signal node Bd. Therefore, when Signal A is 0 level, only in viewing-area 2b of B method, selection level is outputted to the scan signal line 101 in order. On the other hand, non-choosing level is always outputted to the analog switch (sampling gate) 111 of the both ends of a display image when displaying the data signal of these B methods.

[0034] In this case, about the start pulse inputted into the signal node in the middle of a shift register, the advancing-side-by-side symmetric property of the signal over the output of other signal nodes of a shift register has collapsed.

[0035] That is, it originated in the circuitry for inputting a start pulse into the above-mentioned signal node, and the timing of the signal outputted has shifted in the signal node into which the start signal of a shift register is inputted, and other signal nodes.

[0036] Therefore, it is desirable to change alternatively the channel width or channel die length of the configuration transistor, or to prepare the load for delay in the necessary signal node of the above-mentioned shift register about the unit register which constitutes a shift register, in order to double the above-mentioned timing so that this may lead to a sampling timing gap in a data drive circuit and may not influence a display.

[0037] Moreover, it is not necessary to necessarily double exactly the input node of the start pulse in a shift register with the signal node of the shift register corresponding to the boundary of a B display field, and it should also fully take into consideration preparing outside by several pixels in consideration of an overscan on the design.

[0038] Drawing 3 shows the logical circuit group between the output of the above-mentioned shift register, and a buffer. In drawing, 16 is the logical circuit group prepared between the output of a shift register 14, and the buffer (not shown), and consists of two or more unit logical circuit 16a corresponding to the output of each stage of the above-mentioned shift register. here -- X1 and ... Xm is the output of a shift register 14. However, conversion of the pulse width by the logic gate for acquiring a desired driving signal etc. shall already have been performed. RB is the output area of a shift register corresponding to the viewing area of the data signal of B method, and unit logical circuit 16b corresponding to this output area RB consists of two inverters 26 of a series connection, passes the output of a shift register 14 as it is regardless of the change signal A, and is outputted to a buffer.

[0039] On the other hand, RA is the output area of a shift register corresponding to the margin field of the viewing-area upper and lower sides of the data signal of B method,

and unit logical circuit 16a corresponding to this output area RA is controlled by Signal A, and becomes clocked inverter 26a which undergoes the output of a shift register, clocked inverter 26b which is controlled by the signal/A and receives the margin sampling control signal BC, and the output of these both inverters 26a and 26b from the inverter 26 by which common connection was made. When Signal A is 1 level, this unit logical circuit 16a passes the output of a shift register 14, is outputted to a direct buffer, and when Signal A is 0 level, it outputs the margin section sampling control signal BC to a buffer instead of the output of a shift register 14.

[0040] Although the above-mentioned explanation explained the shift register which constitutes a gate driver, others have the same composition as the thing of the above-mentioned gate driver only by the shift register which constitutes a source driver having the difference between a line writing direction (the direction of a horizontal scanning), and the direction of a train (the direction of a vertical scanning).

[0041] Drawing 4 shows an example of the drive timing of each above-mentioned drive circuit, and a wave form chart for drawing 4 (a) to explain the timing of a scan signal drive circuit of operation and drawing 4 (b) are the wave form charts for explaining the timing of a data drive circuit of operation.

[0042] In drawing, BCG is the margin section sampling control signal of the direction of a train, corresponding to this, the scan signal line corresponding to the margin section of the upper and lower sides by the side of a scan signal (perpendicular direction) serves as selection level, and the video signal corresponding to the margin section is inputted into a data signal line at the pixel corresponding to this.

[0043] An example of the timing of the data drive circuit within the time amount corresponding to one scan signal line X2 of drawing 4 (a) is shown in drawing 4 (b). BCS is the margin section sampling control signal of a line writing direction here.

Corresponding to this signal, the video signal corresponding to the margin section of right and left of a display is inputted into a data signal line.

[0044] By the output areas A and B of the above-mentioned shift register, if the configurations of a logical circuit or a buffer differ, the amounts of delay of an output signal will differ, and in a data drive circuit, it may lead to a sampling timing gap.

[0045] Therefore, between the field where a shift action is performed when scanning these some shift registers, and the field where a shift action is not performed when scanning these some shift registers, it is desirable to adjust the channel width of the configuration transistor of a unit register as mentioned above, or to prepare the load for the delay for doubling timing in the necessary signal node of a shift register so that the amount of delay of an output signal may gather.

[0046] Moreover, drawing 9 is drawing for explaining the drive timing in both the above-mentioned methods, drawing 9 (a) is the wave form chart of the drive timing of A method, and drawing 9 (b) is the wave form chart of the drive timing of B method. Here, by A method, since definition is high compared with B method, drive frequency will become high. Moreover, by both the above-mentioned methods, the output pulse of a gate drive circuit (scan signal-line drive circuit) and the sampling pulse of a source drive circuit (data signal line drive circuit) are also that from which the duty ratio differed.

[0047] About the data signal (video signal) of A method, image display can be carried out by the normal operation of the above-mentioned drive circuit. On the other hand, in order to display the data signal (video signal) of B method, it is necessary to scan only the center section of the shift register which constitutes a driver (drive circuit).

[0048] Next, the operation effectiveness is explained.

[0049] In this example, it is made to change the method of scanning the interior of that driver with the control signal A. Moreover, in the display corresponding to the data signal of B method, the periphery part of the display screen serves as a margin, and a black display is usually performed into this part. About a part for this black display, as it explains below, a video signal is written in.

[0050] That is, to the data signal of B method, in a part of level blanking time amount, the analog switch 111 corresponding to this part is opened in the margin section of the right-and-left both-sides section of a display image, and a corresponding video signal is written in it. On the other hand, all the scan signal lines corresponding to a part of perpendicular blanking time amount are set to ON, and it carries out to the margin section of the upper and lower sides of a display by writing the video signal which corresponds through a source driver between them in a data signal line. According to this method, only black cannot necessarily be displayed and the margin section can display gradation of arbitration on the margin section.

[0051] Thus, in this example, since it considered as the configuration with which a scan signal drive circuit and a data drive circuit are controlled by the display change signal A, even if it does not modulate the time-axis of a video signal, the margin section of appropriate magnitude can be formed in the vertical edge and right-and-left flank of a display, and the change of a predetermined aspect ratio and two or more means of displaying with display capacity is attained.

[0052] (Example 2) Drawing 5 is drawing for explaining the display by the 2nd example of this invention, and is taken as the thing which can bidirectional scan the shift register which constitutes each drive circuit of the 1st example in this example. here -- an input -- the first rank -- unit register 30b of an except connects to 2 serials the

parallel connection object which comes to carry out parallel connection of the two clocked inverters to hard flow, and is constituted. moreover, an input -- unit register 30a of the first rank has the composition of having connected the above-mentioned parallel connection object to the output of one clocked inverter. The signal R inputted into the above-mentioned unit register with a clock signal is a signal for the change of the scanning direction of a shift register. Here, start signal SP and Signals A and AND are inputted from the both sides of a shift register 30. Moreover, the AND input of a start signal and Signal R is inputted into signal node Bu' of a shift register corresponding to the left end (upper limit) of the display screen of B method only when Signal A is 0 level through clocked inverter 31a. The AND output of start signal SP, and a signal/R is inputted into signal node Bd' of a shift register corresponding to the right end (lower limit) of the display screen of B method only when Signal A is 0 level through clocked inverter 31b.

[0053] When Signal A is 1 level, the shift register 30 whole is scanned by this, and the scanning direction becomes switchable with Signal R.

[0054] On the other hand, when Signal A is 0 level, only the field corresponding to the display screen of that B method is scanned in a shift register 30, and a scanning direction can be changed all over the scan field of a parenthesis. Also in this case, between the shift register and the buffer, the logic-gate group as shown in drawing 3 is prepared, and the same display as the case where it is the 1st example can be obtained.

[0055] (Example 3) Drawing 7 is drawing for explaining the display by the 3rd example of this invention, and this is also having transposed to the decoder the shift register which constitutes the gate drive circuit and source drive circuit in the 1st example of the above.

[0056] In drawing, 40 is the decoder which constitutes the above-mentioned gate drive circuit, and as shown in drawing 7 (a), it has two or more unit-selection circuit 40a corresponding to each scan signal line. The output of each of this unit-selection circuit 40a is connected to the unit logical circuits 16a and 16b where the above-mentioned logical circuit group 16 corresponds like the 1st example of the above. These unit logical circuits 16a and 16b are completely the same as that of the configuration in the 1st example of the above, as shown in drawing 7 (d) and drawing 7 (c). Moreover, the above-mentioned unit-selection circuit 40a consists of two NAND circuits 41 which receive two or more input data signals, and AND circuit 42 which considers the output of this NAND circuit 41 as an input, as shown in drawing 7 (b).

[0057] Like [in this example of such a configuration] the 1st example which uses the above-mentioned shift register, even if it does not apply the modulation of a time-axis to

a data signal (video signal), it becomes possible to change the actuation and to display the data signal of two or more means of displaying with which the numbers of pixels of a line writing direction and the direction of a train differ in one indicating equipment, the change of a data control signal can also perform the change, and it is very simple.

[0058] Moreover, in this example, it can change by changing a data control signal, the range which drives the scan field in the above-mentioned decoder 40, i.e., a unit-selection circuit, and scan timing, i.e., the drive timing of this unit-selection circuit.

[0059] (Example 4) Drawing 8 is drawing for explaining the indicating equipment by the 4th example of this invention, and forms the analog switch 112 for inputting a margin section video signal in the data bus line 102 independently [the analog switch 111 in a data drive circuit] in the configuration of the 1st example. These analog switches 112 are connected between the margin section video-signal input line 113 and each data signal line 102.

[0060] Here, as for the analog switch 112 corresponding to the margin section of the right and left in the display image of the above-mentioned B method, ON and OFF are controlled by the control signal BCS.

[0061] In this example, in addition to the effectiveness of the 1st example of the above, it becomes unnecessary to insert the video signal corresponding to the margin section in the blanking section at the time of the line writing direction scan of a video signal, and an external control circuit is simplified.

[0062] Moreover, it can consider as the configuration which another control signal BCS' turns on and inputs a margin section video signal also into the data signal line corresponding to fields other than the margin of right and left of the display image of B method through analog switch 112a by which OFF control is carried out by it. It becomes possible to also input the video signal corresponding to the margin section of the upper and lower sides in the display image of B method through this analog switch 112a by this.

[0063]

[Effect of the Invention] According to this invention, the shift register which constitutes a scan signal drive circuit or a data drive circuit as mentioned above The node into which a start signal is inputted is set up by the control signal, and the unit register in front of the this set-up node Since it is made to be in non-operating state with this control signal and either the start location of a shift action or a termination location and its both were considered as the configuration which can be changed with a control signal In this shift register, the range which shifts the selection signal of a scan signal line or a data signal line from an end side to an other end side is changeable. There is

effectiveness which can display the image of two or more means of displaying with which the numbers of pixels of a line writing direction and the direction of a train differ by this according to the means of displaying of a data signal, without performing modulation processing of a time-axis to a data signal.

[0064] That is, the video signal of the display screen where size is big is received. Cross to all the range of the above-mentioned shift register, perform a shift action, and the video signal of the display screen where size is small is received. By carrying out a shift action in the range in which the above-mentioned shift register was restricted Even if it does not modulate the time-axis of a data signal, the margin section of appropriate magnitude can be formed in the vertical edge and right-and-left flank of a display, and the change of a predetermined aspect ratio and two or more means of displaying with display capacity is attained.

[0065] According to this invention, either [at least] a scan signal drive circuit or a data drive circuit is controlled by the display change signal. By this display change in a display Since it was made for the periphery of the display screen to serve as a margin field, the video signal of the display screen where size is big is received. Perform image display over the above-mentioned whole display screen, and the video signal of the display screen where size is small is received. By making the periphery of the above-mentioned display screen into a margin, and performing image display in the limited range except this periphery Even if it does not modulate the time-axis of a data signal, the margin section of appropriate magnitude can be formed in the vertical edge and right-and-left flank of a display, and there is effectiveness whose change of a predetermined aspect ratio and two or more means of displaying with display capacity is attained.

[0066] The decoder which according to this invention has two or more output nodes and outputs a signal to a predetermined output node based on two or more input signals, It has the logic gate which receives the signal from each output node of this decoder, and is outputted to a buffer by making this into a scan signal or a sampling gate control signal. In the field in which the decoding output to each output node of this decoder changes this logic gate one by one, the decoding output is outputted to this buffer as it is. In the field where the decoding output to each output node of this decoder is fixed Since it constituted so that either of the signals different from the decoding output or this might be outputted to this buffer based on a control signal There is effectiveness which can display like the above the image of two or more means of displaying with which the numbers of pixels of a line writing direction and the direction of a train differ according to the means of displaying of a data signal, without performing modulation processing

of a time-axis to a data signal.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is drawing showing typically the display condition in the display by the 1st example of this invention.

[Drawing 2] It is drawing showing the circuitry of the shift register which constitutes the scan signal drive circuit and data drive circuit of an indicating equipment of the 1st example of the above.

[Drawing 3] It is drawing for explaining the logic-gate group prepared between the above-mentioned shift register and the buffer of the output side.

[Drawing 4] It is the wave form chart showing the timing of each drive circuit which constitutes the display of the 1st example of the above of operation.

[Drawing 5] It is drawing showing the circuitry of the shift register which constitutes the drive circuit of the indicating equipment by the 2nd example of this invention.

[Drawing 6] It is drawing showing the configuration of the liquid crystal display using the conventional active-matrix substrate.

[Drawing 7] It is drawing showing the configuration of the drive circuit which constitutes the display by the 3rd example of this invention.

[Drawing 8] It is drawing showing the configuration of the drive circuit which constitutes the display by the 4th example of this invention.

[Drawing 9] It is drawing showing the drive wave in A method in the display of the 1st example of the above, and B method.

[Description of Notations]

2a The display image of A method

2b The display image of B method

4 Gate Driver (Scan Signal Drive Circuit)

5 Source Driver (Data Drive Circuit)

14, 15, 30 Shift register

14a, 14b, 30a, 30b Unit register

16 Logical Circuit Group

16a, 16b Unit logical circuit

24a, 24b, 25a, 25b, 26a, 26b Clocked inverter

26 Inverter

40 Decoder

40a Unit-selection circuit

41 NAND Circuit

42 AND Circuit

101 Scan Signal Line (Gate Bus Line)

102 Data Signal Line (Data Bus Line)

103 Pixel TFT

106 Pixel Capacity

107 Pixel

108 Video-Signal Input Line

111,112,112a Analog switch

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-079663

(43)Date of publication of application : 22.03.1996

(51)Int.Cl.

H04N 5/66
G02F 1/133
G09G 3/20
G09G 3/36

(21)Application number : 06-213962

(71)Applicant : SHARP CORP

(22)Date of filing : 07.09.1994

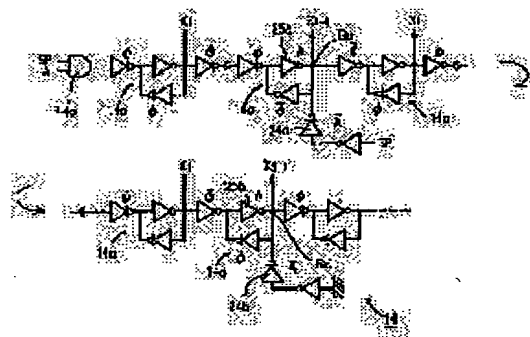
(72)Inventor : SHIMADA NAOYUKI
AKEHI YASUNAO
TAKATO YUTAKA

(54) DRIVE CIRCUIT AND DISPLAY DEVICE

(57)Abstract:

PURPOSE: To form the blank part of prescribed size in a display part and to switch plural display systems having a prescribed aspect ratio and display capacity by permitting a shift register to switch both the start position and the termination position of a shift operation or either of it by a control signal.

CONSTITUTION: An AND circuit 14b inputting a start pulse SP and a display system switch signal (control signal) A is connected to one end of the shift register 14. The AND outputs of the both signals are inputted to a unit register 14a in an initial state. The start pulse is inputted to a signal node Bu corresponding to the upper end of the display screen of a B-system among the signal nodes of respective stages in the shift register 14 through a clocked inverter 24a controlled by the signal A. A 0-level is inputted to a signal node Bd corresponding to the lower end of the display screen of the B-system through a clocked inverter 24b controlled by the signal A among the signal nodes of the respective stages in the shift register 14.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office